

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 63122177
PUBLICATION DATE : 26-05-88

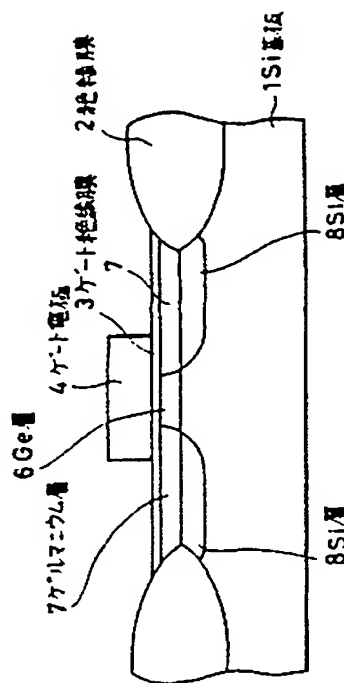
APPLICATION DATE : 11-11-86
APPLICATION NUMBER : 61266745

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : KIUCHI KAZUhide;

INT.CL. : H01L 29/78

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE



ABSTRACT : PURPOSE: To realize high-speed operation by a method wherein a Ge film whose mobility of an electron and a hole is bigger than that of Si is formed on an Si substrate and this Ge is used as a channel for a MOS-type transistor.

CONSTITUTION: A Ge layer 6 is formed in a region which is located just under a gate electrode 4 and a gate insulating film 3 and is transformed into a channel. In addition, a source and a drain are constructed by a germanium layer 7 and an Si layer 8 doped with an impurity to give a p-type or an n-type. Because the mobility of germanium is by about two times bigger for an electron and by about 4.5 times bigger for a hole than that of Si, a MOS-type transistor, of the identical size, constructed by the Ge can operate by two times faster for an n-channel and by 4.5 times faster for a p-channel than in the case of the Si. As compared with the MOS-type transistor constructed by the Si, the characteristic of the p-channel is improved remarkably and is nearly equal to that of the n-channel; it is possible to greatly improve the characteristic of an integrated circuit of the CMOS structure.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-122177

⑤ Int. Cl.⁴
H 01 L 29/78

識別記号
3 0 1

庁内整理番号
Z-8422-5F

⑬ 公開 昭和63年(1988)5月26日

審査請求 未請求 発明の数 4 (全7頁)

⑭ 発明の名称 半導体装置とその製造方法

⑮ 特 願 昭61-266745

⑯ 出 願 昭61(1986)11月11日

⑰ 発 明 者	高 橋 庸 夫	神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
⑰ 発 明 者	石 井 仁	神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
⑰ 発 明 者	藤 永 清 久	神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
⑰ 発 明 者	木 内 一 秀	神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
⑰ 出 願 人	日本電信電話株式会社	東京都千代田区内幸町1丁目1番6号
⑰ 代 理 人	弁理士 鈴江 武彦	外2名

明 細 書

1. 発明の名称

半導体装置とその製造方法

2. 特許請求の範囲

(1) シリコン基板上にゲルマニウムからなるエピタキシャル層と、その上にゲート絶縁膜が形成され、少なくとも前記ゲルマニウムからなるエピタキシャル層にソース領域、ドレイン領域及びチャネル領域が形成され、前記チャネル領域を含む領域上の前記ゲート絶縁膜上にゲート電極が形成されてなる絶縁ゲート型電界効果トランジスタを有することを特徴とする半導体装置。

(2) 少なくとも表面に高濃度に不純物が導入されて低抵抗化されたシリコン基板上に低濃度に不純物が導入された高抵抗ゲルマニウムからなるエピタキシャル層とその上にゲート絶縁膜が形成され、少なくとも前記高抵抗ゲルマニウムからなるエピタキシャル層にソース領域、ドレイン領域及びチャネル領域が形成され、前記チャネル領域を含む領域上の前記ゲート絶縁膜上にゲート電極が

形成されてなる絶縁ゲート型電界効果トランジスタを有することを特徴とする半導体装置。

(3) シリコン結晶基板上にゲルマニウム層をエピタキシャル成長させる工程と、前記ゲルマニウム層上に絶縁ゲート型電界効果トランジスタのゲート絶縁膜及びゲート電極を形成する工程と、前記ゲート電極をマスクとして不純物をイオン注入する工程と、前記イオン注入工程により前記ゲルマニウム層中に注入された不純物のみが電気的に活性化され前記シリコン結晶基板中に注入された不純物は電気的に活性化されない温度で熱処理し、前記ゲルマニウム層中に注入された不純物のみを電気的に活性化して前記絶縁ゲート型電界効果トランジスタのソース領域及びドレイン領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

(4) シリコン結晶基板上にゲルマニウム層をエピタキシャル成長させる工程と、前記ゲルマニウム層上に絶縁ゲート型電界効果トランジスタのゲート絶縁膜及びゲート電極を形成する工程と、前

前記ゲート電極をマスクとして不純物を拡散させ、前記ゲルマニウム層のみに前記絶縁ゲート型電界効果トランジスタのソース領域とドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、高速動作が可能なMOS型トランジスタ等の半導体装置とその製造方法に関するものである。

〔従来の技術〕

従来SiのMOS型トランジスタは、第5図に示す様に、Si基板1に、素子分離用絶縁膜2でかこまれた領域を形成し、その領域内にゲート絶縁膜3とゲート電極4、さらにソース・ドレイン層5を形成した構成となっている。このMOS型トランジスタの電流が流れる領域はソースとドレインではさまれた、ゲート絶縁膜3の直下である。従来のMOS型トランジスタでは、このチャネルは基板Siとなる。Siは、電子移動度は、 $1500\text{ cm}^2/\text{V}\cdot\text{sec}$ と

は、主に、ソース・ドレイン深さが深い、チャネル長の短いMOS型トランジスタでは、第5図のソースとドレイン間で、ゲート酸化膜からはなれた、Si基板中を、ゲート電極電位で制御できない電流が流れてしまうこと（パンチスルー効果）によって起こる。この電流を減少させるためには、Si基板中の不純物濃度を高くすれば良いが、逆に、不純物濃度を高くすると、電子あるいは正孔の移動度が低下する。あるいはMOS型トランジスタの閾値電圧が高くなる等の問題が生じ、MOS型トランジスタの特性が悪くなる。

以上の様な、微細なMOS型トランジスタの特性の悪化は、pチャネルMOSの場合に顕著であるので、特に、LSIを、CMOS構成とした場合に、動作特性が、特性の悪いpチャネルMOS型トランジスタの特性によって決まってしまうことになる。

〔発明が解決しようとする問題点〕

本発明はSiのMOS型トランジスタにおいて、正孔移動度が小さいことおよび短いチャネル長のMOS型トランジスタの特性が悪化することの2点

比較的大きいが、正孔の移動度は $450\text{ cm}^2/\text{V}\cdot\text{sec}$ とかなり小さい。すなわち、同じ寸法で構成したnチャネルSIMOS型トランジスタとpチャネルSIMOS型トランジスタの特性を比較すると、pチャネルの方が動作速度がかなり遅いことになる。

さらに、従来のMOS型トランジスタの形成プロセスでは、ソース・ドレインは、As、PやBなどのn型あるいはp型を与える不純物をイオン注入する方法が用いられる。この様に形成されたソース・ドレイン層は、その深さを浅くするのが難しい。特に、pチャネルMOS型トランジスタのソース・ドレイン層に用いられるBは、Si中の拡散係数が大きく、ソース・ドレイン深さが深くなる。この様に、ドレイン層が深いと、再現性の良い良好な動作特性を示す。チャネル長の短い微細なMOS型トランジスタを製作するのが難しいという問題があった（たとえばJ.R.Brews, "Physics of MOS Transistor", in D.Kahng, ED., Appl.Solid State Science, Supplement 2 A, Accademic Press, New York, 1981年）。これ

を解決した。MOS型トランジスタ構造の半導体装置とその製造方法を提供することを目的とする。

〔問題点を解決するための手段と作用〕

本発明は、シリコン基板上にゲルマニウムからなるエピタキシャル層とその上にゲート絶縁膜が形成され、少なくとも前記ゲルマニウムからなるエピタキシャル層にソース領域、ドレイン領域及びチャネル領域が形成され、前記チャネル領域を含む領域上の前記ゲート絶縁膜上にゲート電極が形成されてなる絶縁ゲート型電界効果トランジスタを有することを特徴とするものであり、また、少なくとも表面に高濃度に不純物が導入されて低抵抗化されたシリコン基板上に低濃度に不純物が導入された高抵抗ゲルマニウムからなるエピタキシャル層とその上にゲート絶縁膜が形成され、少なくとも前記高抵抗ゲルマニウムからなるエピタキシャル層にソース領域、ドレイン領域及びチャネル領域が形成され、前記チャネル領域を含む領域上の前記ゲート絶縁膜上にゲート電極が形成されてなる絶縁ゲート型電界効果トランジスタを有

することを特徴とするものであり、更に、シリコン結晶基板上にゲルマニウム層をエピタキシャル成長させる工程と、前記ゲルマニウム層上に絶縁ゲート型電界効果トランジスタのゲート絶縁膜及びゲート電極を形成する工程と、前記ゲート電極をマスクとして不純物をイオン注入する工程と、前記イオン注入工程により前記ゲルマニウム層中に注入された不純物のみが電気的に活性化され前記シリコン結晶基板中に注入された不純物は電気的に活性化されない温度で熱処理し、前記ゲルマニウム層中に注入された不純物のみを電気的に活性化して前記絶縁ゲート型電界効果トランジスタのソース領域及びドレイン領域を形成する工程を含むことを特徴とするものであり、また、シリコン結晶基板上にゲルマニウム層をエピタキシャル成長させる工程と、前記ゲルマニウム層上に絶縁ゲート型電界効果トランジスタのゲート絶縁膜及びゲート電極を形成する工程と、前記ゲート電極をマスクとして不純物を拡散させ、前記ゲルマニウム層のみに前記絶縁ゲート型電界効果トランジ

スタはSiに比べ移動度が、電子で約2倍、正孔で約4.5倍大きいので、同一の寸法のMOS型トランジスタを構成した場合にnチャネルで2倍、pチャネルで4.5倍高速な動作をする。SiのMOS型トランジスタと比べて、pチャネルの特性が大きく改善されて、nチャネルの特性に近づくので、CMOS構成の集積回路の特性を大きく改善できる。

次に第1図の実施例を形成する工程について説明する。従来のMOS型トランジスタの形成工程と同様にして、素子分離用絶縁膜2に囲こまれた、トランジスタ形成領域を作る(第2図(a))。次に、その上にG₀層6をエピタキシャル成長させる。このエピタキシャル成長の方法としては、公知のMBE法あるいはCVD法によれば良い。特に、G₀H₄ガスを反応ガスとしたCVD法を用いればSi上のみ選択的にエピタキシャル成長できる(第2図(b))。さらに、この成長温度は、300℃程度の低温まで下げることができる。次に、G₀エピタキシャル膜上に、ゲート絶縁膜3を形成する(第2図(c))。ここではG₀層6上のみゲート絶縁膜が形成され

スタのソース領域とドレイン領域を形成する工程を含むことを特徴とするものである。したがって、本発明は、Siと比べて電子および正孔の移動度が高いG₀膜をSi基板上に形成し、このG₀をMOS型トランジスタのチャネルとして用いることを主要な特徴としている。従来のSIMOS型トランジスタ構造の様にSiをチャネルに用いた技術とは異なる。以上の様に、Si基板上に形成したG₀をチャネルとしたpチャネルおよびnチャネルのMOS型トランジスタを形成すれば、G₀の正孔および電子の移動度が高いために、高速動作の可能なトランジスタとなる。

〔実施例〕

(実施例1)

第1図は、本発明の第一の実施例を説明する図であって、ゲート電極4、ゲート絶縁膜3の直下のチャネルとなる領域には、G₀層6が形成してある。さらに、ソース・ドレインとして、p型あるいはn型を与える不純物を添加したゲルマニウム層7とSi層8を有する構成をとる。ゲルマニウム

膜は、素子分離領域上をも覆って形成してあっても良いことは言うまでもない。次に、ゲート電極4を形成し(第2図(d))、それをマスクとして、n型あるいはp型を与える不純物をイオン注入した後、公知の活性化の熱処理を行えば良い(第2図(e))。

ところで、G₀膜のエピタキシャル成長温度は容易に低温化(300℃~700℃)できるので、G₀膜形成中に、下地Siからの不純物の拡散をほとんど生じない様になる。すなわち、下地Si層の不純物濃度と独立にG₀層の不純物濃度を決定できることになる。この形成法の特徴を用いると次の様な構造の形成が可能となる。第2図(a)の工程の際に基板Si層の少なくとも表面付近に高濃度のn型あるいはp型を与える不純物をドーピングしておく。次に第2図(b)の工程で、G₀膜をエピタキシャル成長させる際、あるいは成長させた後に、低濃度の不純物をドーピングする(不純物濃度は、MOS型トランジスタの閾値に影響するので、閾値を考慮して選ぶ必要がある。また、不純物のドー

ピングは、G₀膜形成後G₀表面からの拡散やイオン注入で行っても、G₀中の不純物の電気的活性化処理の温度あるいは拡散温度がSi中の不純物の拡散温度より低いので、十分可能である)。この後、第2図で説明した工程を続けて行けば、基板Si層の不純物濃度を高濃度に、チャネルとなるG₀層の領域の不純物濃度を低濃度にできる。この構造では、チャネル長(G₀層のソース・ドレイン方向への幅)に対して、G₀層の厚さを十分浅くしておけば、G₀層内での、前記従来技術で説明したパンチスルー効果は押えられる。さらに、G₀層の下にSi層は高濃度であるので、Si層でのパンチスルーも生じない。すなわち、チャネル領域の不純物濃度を低く押えたまま、パンチスルーを押えることができることになる。チャネルG₀領域では不純物濃度が低いために、電子あるいは正孔の移動度は高くなるので、高速動作が可能になる。

(実施例2)

前記実施例1において、第2図(a)の拡散層形成を、表面から、n型あるいはp型を与える不純物

で、不純物の種類によっては、Si層が十分アモルファスになるまでイオン注入すると、G₀膜中の不純物の固溶限界を越えてしまうこともありうる。その際には、不純物と共に、G₀あるいはSiをイオン注入してトータルのドーズ量を増やせば十分である。さらに、G₀/Si界面付近のSi層が一部結晶性を回復する可能性があるが、この厚さは十分薄いので問題ではない。)この様な構成とするとSi層にイオン注入されたアモルファス領域(第1図の8に対応する)が高抵抗層となる。したがって、ソース・ドレイン層が高抵抗層上にある構造となるので、ソース・ドレインの接合容量を低減できる。さらに、下地Si基板のG₀層に近い領域の不純物濃度を比較的高くしておけば、パンチスルーも生じない。すなわち、高不純物濃度の低抵抗基板を用いて、なお且つ接合容量のきわめて小さく、チャネル領域での不純物による移動度低下の少ないMOS型トランジスタが構成できることになる。

(実施例4)

通常のSiのMOS型トランジスタでは、ゲート絶

を拡散させて行くと、ほとんどの元素は、その拡散係数がG₀中よりSi中の方がはるかに小さいので、G₀中のみ拡散させることができる。したがって、第3図に示す様な、ほとんどG₀層内に拡散層を留めた構造が実現できる。G₀層の厚さをチャネル長より十分薄くしておけば、浅い拡散層が形成できる。

(実施例3)

前記実施例1において、第3図(a)における拡散層形成を、不純物をイオン注入する方法で行った後に、400℃〜700℃程度の温度で熱処理し、活性化すると、G₀中の不純物のみ電気的に活性化し、Si中の不純物は活性化しない。したがって、実効的に浅い拡散層が形成できる。

また、不純物のイオン注入の際に、イオン注入の加速エネルギーおよびドーズ量を調整し、少なくともSi層の格子を乱だし、アモルファスに近い状態にしておき、その後、600℃程度以下で熱処理し、G₀層のみ結晶性を回復させ、イオン注入されたSi層をアモルファスのまま保つ。(ここ

録膜として、基板Siを熱酸化して形成したSiO₂を用いる場合が多い。本発明によるMOS型トランジスタにおいて、SiO₂をゲート絶縁膜として用いるためには、G₀層上にSiをエピタキシャル成長させ、これを熱酸化する方法がある。この方法を用いた、本発明によるMOS型トランジスタの形成工程を第4図に示す。Si基板1上に形成したG₀層6上にSi層9をエピタキシャル成長させる(第4図(a))。G₀表面の自然酸化膜は、約400℃以上に加熱するとGeO₂として昇化するので、容易に清浄なG₀表面を出すことができる。この後に、公知のSiH₄等のSiを構成元素とするガスを用いたCVD法やSIMBE法等によって、G₀上に容易にSiをエピタキシャル成長させることができる。次に、この表面のSiを熱酸化し、SiO₂層10を形成する(第4図(b))。このSiO₂層形成のための熱酸化温度は、約850℃以下にすれば、G₀層とSi層の界面におけるGe-Siの相互拡散は押えられる。次に、ゲート電極4を形成し(第4図(c))、次いで、イオン注入により、ソース・ドレイン層12を形成すれば(第4図(d))、

本発明によるMOS型トランジスタが形成できる。ここで、表面のSiの熱酸化による SiO_2 形成の際に、 SiO_2 層10とG層6の間にSi層9を残すこととなるがこの厚さが薄ければ、このSi層も実効的にゲート絶縁膜として動作すると考えられるので問題はない。ソース・ドレインを表面からの拡散によって形成する場合は、ソース・ドレインとなる領域上の SiO_2 層10とSi層11を除去した後に行えば良い。

(実施例5)

もう一つの安定なゲート絶縁膜の形成方法について述べる。たとえばG層を $\text{G}\cdot\text{H}_4$ 等のGを構成元素としたガスを用いたCVD法によってエピタキシャル成長させる場合は、G層の成長を行った直後に、G層を大気にさらさずに、CVD法によって次のゲート絶縁膜を形成すれば、絶縁膜とGの界面の汚染が少ない。すなわち、絶縁膜とG界面にできる界面単位密度を少なくできることになる。

たとえば SiO_2 をゲート絶縁膜とする場合は以下の様な工程を用いれば十分である。第2図(b)の工

G層中へのイオン注入によるソース・ドレイン形成に必要な熱処理温度は500℃～700℃程度と低いので、ゲート絶縁膜として、 Ta_2O_5 等の耐熱性が多少とほしい絶縁膜を用いることもできる。

同じ理由で、ゲート金属としても、低融点あるいは耐熱性の多少とほしい金属あるいは金属シリサイド等の金属性化合物をも用いることができる。
〔発明の効果〕

以上説明した様に、Si基板上に形成したGをチャネルとしたpチャネルおよびnチャネルのMOS型トランジスタを形成すれば、Gの正孔および電子の移動度が高いために、高速動作の可能なトランジスタとなるという利点がある。

Si上へのGのエピタキシャル成長は、800℃以下で可能であるので、基板SiからGのエピタキシャル成長膜への不純物の混入はほとんどないため、基板Siの不純物を高濃度にし、その上に低濃度のG層をエピタキシャル成長できる。これをチャネルとすれば、チャネル領域は、低不純物濃度が低

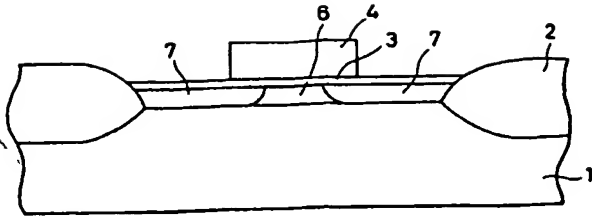
程で、Gをたとえば $\text{G}\cdot\text{H}_4$ ガスを用いたCVD法によって形成する。次に、 $\text{G}\cdot\text{H}_4$ ガスの導入を停止し、引き続いてたとえば SiH_4 あるいは Si_2H_6 ガスとたとえば O_2 あるいは N_2O 等の酸化性ガスを導入し SiO_2 層を形成すれば界面単位密度の低いG/ SiO_2 界面ができる。また、上記工程で、 $\text{G}\cdot\text{H}_4$ ガスを停止した直後に、 SiH_4 ガスのみを導入し、時間を置いて O_2 等の酸化性ガスを導入すれば、G/Si/ SiO_2 の構造ができる。GのCVDによるエピタキシャル成長温度は300℃～600℃程度にできるので、この温度で、 $\text{G}\cdot\text{H}_4$ ガスの導入を停止して、 SiH_4 ガスを導入した場合、Siの堆積速度は、数nm/分以下にできる。したがって、G/Si/ SiO_2 構造の中間のSi層の厚さを0.1nm～数nm程度に薄く制御するのは容易であり、MOS型トランジスタを構成した場合にGを主たるチャネル領域にすることができる。すなわち、Siと比べて移動度が大きいGをチャネルとなるので、MOS型トランジスタの特性が向上することになる。

(実施例6)

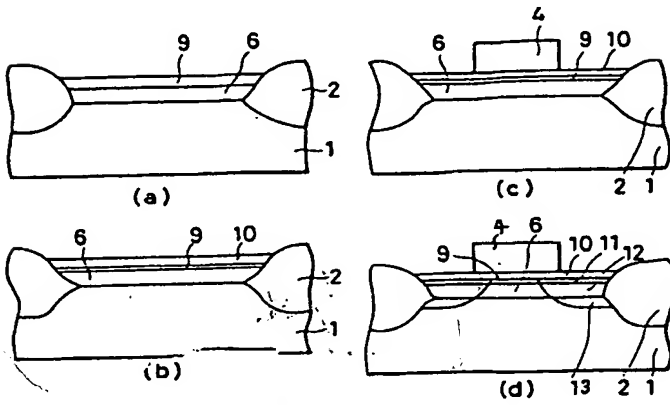
いため高移動度のまま、パンチスルーを押えることができる。したがって、高速動作の微細なMOS型トランジスタができるという利点がある。

さらに、G中での不純物・拡散が生じる温度がSiよりかなり低いこと、あるいは、G中にイオン注入した不純物の活性化温度がSiより著しく低いことを利用すれば、ソース・ドレインの深さをG層の厚さで止めることができる。したがって、G層厚を薄くすれば、浅い拡散層が形成できるので、公知の短チャネル効果を低減できるので前記の微細なMOS型トランジスタの動作特性の安定性、再現性を向上させることができるという利点がある。

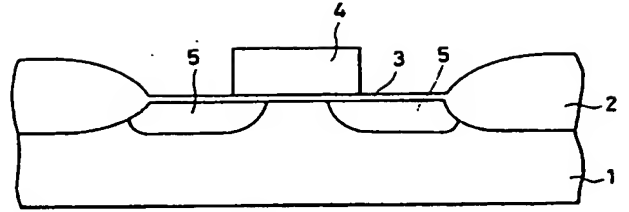
さらに、加えて、イオン注入でソース・ドレインを形成する場合に、イオン注入後のGの結晶格子の回復がSiより200℃～300℃程度低い温度で生じることを利用し、Gのソース・ドレインの下部をソース・ドレイン形成のイオン注入の際にアモルファス化し、G層のみ結晶化すれば、ソース・ドレインを高抵抗のアモルファスSi上に形成した構造にできる。したがって、高い不純物濃



第 3 図



第 4 図



第 5 図

底のSi基板上にGeをチャネルとしたMOS型トランジスタを形成しても、Geのソース・ドレインと基板Si間の接合容量を小さくできるという利点がある。すなわち、より一層の高速動作をする集積回路が構成できる。

一方、Ge層上に薄いSi層を形成し、その上にゲート絶縁膜としてSiO₂層を形成すれば良好なゲート絶縁膜-チャネル界面が得られる。

また、Ge層へのソース・ドレイン形成は比較的低温化できるので、多少耐熱性のとほしい、Ta₂O₅の様な絶縁膜をゲート絶縁膜に、あるいは耐熱性のとほしい金属をゲート電極に用いることができるという利点がある。

4. 図面の簡単な説明

第1図は本発明によるMOS型トランジスタの断面構造の一つの例を示す図、

第2図は本発明によるMOS型トランジスタの形成工程の例を示す図、

第3図は不純物を表面から拡散することによってソース・ドレインを形成した本発明によるMOS

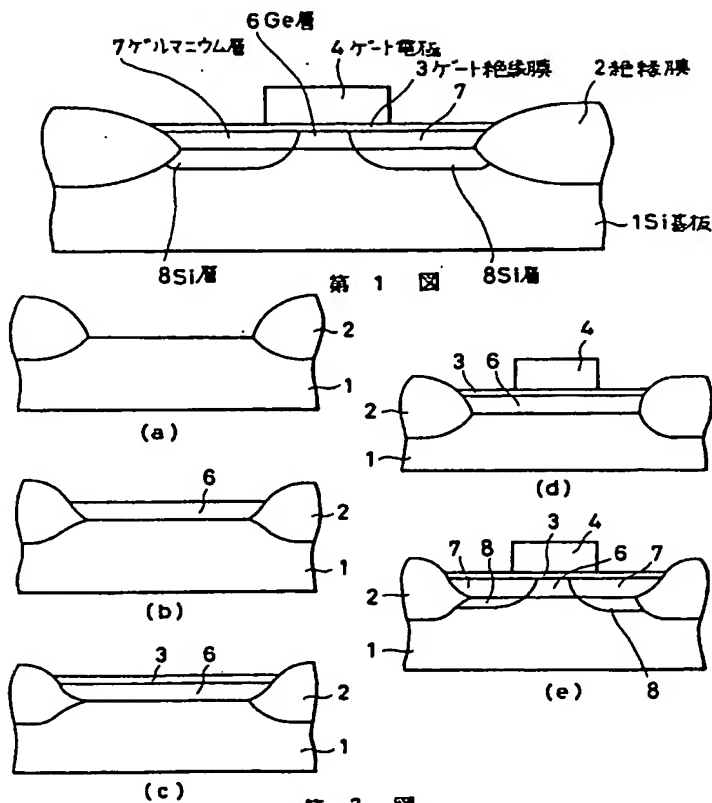
型トランジスタの断面構造の一例を示す図、

第4図はSiO₂をゲート絶縁膜とする本発明によるMOS型トランジスタ形成工程の例を示す図、

第5図は従来のMOS型トランジスタの断面構造を示す図である。

1…Si基板、2…素子分離用絶縁膜、3…ゲート絶縁膜、4…ゲート電極、5…ソース・ドレイン層、6…Ge層、7…ゲルマニウム層、8…不純物を添加されたSi層、9…Si層、10…SiO₂層、11…不純物を添加されたSi層、12…Geソース・ドレイン層、13…不純物を添加されたSi層。

出願人代理人 弁理士 鈴 江 武 彦



第 2 図